

文章编号:1007-2780(2015)04-0729-07

高动态科学级 CMOS 相机系统的设计

何舒文^{1,2*}, 王延杰¹, 孙宏海¹, 张 雷^{1,2}, 吴 培^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:为了满足全局曝光模式下对高动态范围 CMOS 相机需求, 基于 CIS-2521 sCMOS 器件设计出一个相机系统, 通过研究 CIS-2521 芯片像素读出结构特点和全局曝光模式下驱动时序特点, 选用 FPGA 搭载 DDR3 作为处理架构, 在 FPGA 内部完成了成像参数控制, sCMOS 驱动时序, 图像数据采集, 图像预处理等 SOPC 片上一体化设计, 并对各个模块功能进行了介绍。设计的相机系统进行成像测试, 实现了连续输出 50 帧/s, $2\,560 \times 2\,160$ 像素, 14 bit 有效深度的高清晰度高动态范围图像, 基本满足科学级成像条件的需求。

关 键 词:科学级 CMOS; 高动态; 全局曝光; 图像处理

中图分类号:TP212 **文献标识码:**A **doi:**10.3788/YJYXS20153004.0729

Design of high dynamic scientific CMOS camera system

HE Shu-wen^{1,2*}, WANG Yan-jie¹, SUN Hong-hai¹, ZHANG Lei^{1,2}, WU Pei^{1,2}

(1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;*

2. *University of Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: In order to meet the demands of high dynamic range for CMOS camera under the mode of global shutter, a camera system is designed based on CIS-2521 sCMOS image sensor device. By analyzing the readout structure characteristics of pixel of CIS-2521 chip and the driving timing under the mode of global shutter, we choose FPGA with DDR3 as the processing structure and complete the design of SOPC including the control of imaging parameters, driving timing of sCMOS, capturing the image data, image preprocessing and so on, and introduces the function of every module. The designed camera realizes the imaging output of 50 frames of $2\,560 \times 2\,160$ pixel and 14 bit depth with high sensitivity, high dynamic range per second by the imaging test, and it meets the requirement of scientific imaging.

Key words: scientific CMOS; high dynamics; global shutter; image processing

收稿日期:2014-09-26; 修订日期:2014-10-20.

基金项目:国家 863 计划(No. 2013AA7031010B)

* 通信联系人, E-mail:250071113@qq.com

1 引言

相比于科学级 CCD 器件,科学级 CMOS 图像传感器具有低功耗,低成本,高集成度,可控开窗,大面阵高帧频等优点,有利于实现小体积低能耗的相机系统^[1-2]。目前市面上科学级 CMOS 相机一般采用卷帘曝光模式,通过相关双采样技术对噪声进行抑制,一般输出图像数据有效深度达到 12 bit 以上,在获取较高的图像质量同时还拥有较高的帧频^[3-4]。但是在一些科学观测中(如高速运动物体观测),仍然需要相机工作在传统的全局曝光模式,此时由于相关双采样的失效,采集图像中将出现明显列向噪声^[5],成像质量和相机动态范围受到极大影响,难以达到科学级相机的要求。为了获取全局曝光模式下高质量图像,本设计中选用了 CIS-2521 科学级 CMOS 芯片,在分析其像素读出特点的基础上设计了其硬件驱动电路,通过在 FPGA 内完成数字域相关双采样和图像预处理等算法,实现了全局曝光模式下高动态范围图像数据的获取。

2 相机系统总体设计

CIS-2521 是美国仙童公司开发的 sCMOS 图像传感器芯片,具有高灵敏度和低噪声等特点,适用于在极弱光条件下获取高品质的图像。该芯片由一种 5T 结构像元阵列组成,像素面阵分上下两个区域,每个区域均有 2 560(H)×1 080(V)像素。CIS-2521 芯片内具有丰富可编程控制功能,上下区域可独立工作,内部各有 48 个 32 bit 的寄存器,可通过 JTAG 接口分别设置寄存器的值,控制图像积分时间,帧频,增益,开窗读出,曝光模式等。CIS-2521 包含列级双通道可调节增益放大器和 ADC 转换器,可通过设置输出不同增益下的图像数据。CIS-2521 的一些基本性能参数如下:

- (1)像素尺寸 6.50 μm×6.50 μm,像素数 2 560(H)×2 160(V)。
- (2)全画幅帧频:卷帘模式(100 fps),全局模式(50 fps)。
- (3)满阱电荷>30 000e,最小读出噪声<2e,动态范围大于 83.50 dB。

(4)峰值量子效率大于 0.55,20 ℃时暗电流<35e/pixel/s

(5)列级可选增益放大器与双 11 bit 列级 ADC。

(6)可编程开窗大小读出。

基于 CIS-2521 设计的高动态科学级 CMOS 相机系统结构图如图 1 所示,相机系统采用单电源 12 V 供电,在板上转换为各个模块所需电压,选用 FPGA 搭载 DDR3 作为处理架构,其中 FPGA 主控芯片采用 XILINX 公司 KINTEX7 系列的 XC7K325T,具有丰富的逻辑资源,可根据不同需求现场可编程^[6-7],产生系统其余部件所需驱动控制时序,DDR3 采用 4 片 MT41K128M16 并联而成,能够满足高速数据缓存的需求。系统工作流程为:FPGA 上电加载配置程序,接收控制计算机的控制指令,通过 SPI 接口设置偏置电压值,通过 JTAG 接口设置 sCMOS 工作模式,sCMOS 接收外触发信号后输出图像数据,FPGA 采集高速图像数据缓存并进行图像预处理,转换为标准 Camera link 接口数据输出^[8],控制计算机通过采集软件采集图像数据并显示。

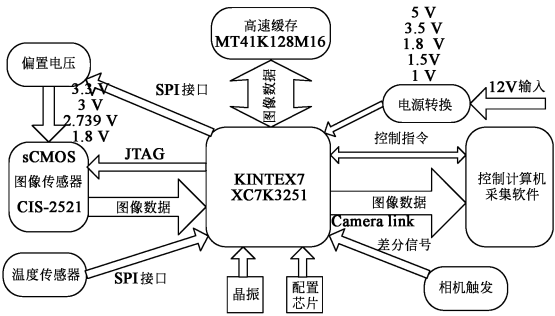


图 1 相机系统结构框图
Fig. 1 Structure of the camera

3 FPGA 内部功能单元模块设计

所设计的相机由于采用 SOPC 的设计方案,大部分功能都在 FPGA 内设计完成^[8],FPGA 内功能框图如图 2 所示,主要由 sCMOS 控制模块,通信控制模块,图像采集模块,图像处理模块,高速缓存控制模块组成,以下对各个模块设计进行介绍。

3.1 通信控制模块

sCMOS 相机系统与控制计算机的通信通过

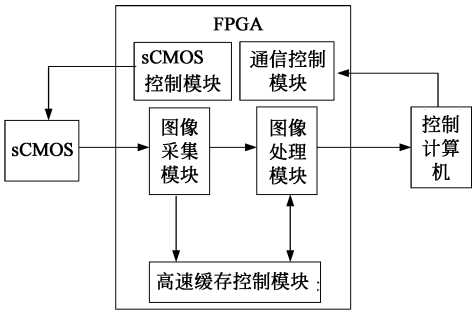


图 2 FPGA 内部功能单元模块组成

Fig. 2 All function modules in FPGA

FPGA 内通信控制模块完成。通信控制模块接收控制计算机异步串口发出的所有控制信息和图像处理命令信息并反馈各个模块运行状态信息,这些信息包括相机寄存器初始值,相机积分时间,触发曝光模式和曝光时间,输出数据格式,帧相减,数据合成规则控制和滤波规则控制等。异步串口通信采用 1 位起始位,8 位数据位,1 位停止位的格式,波特率为 115 200 bps,每一条命令由 14 字节组成,其中包括命令起始标志,命令类型,控制信息和命令结束标志。每一条控制命令通过 FPGA 片上通信解码后写入相应模块的命令缓存 FIFO,再由各个模块读出命令信息进行相应的寄存器设置或者时序控制。

3.2 sCMOS 驱动控制模块

sCMOS 的驱动控制模块包括 4 个部分功能实现:偏置电压设置,相机工作模式设置,触发和积分时序产生,读出数据时序控制。要使 CIS-2521 芯片正常上电工作,上电需满足一定顺序。正确的控制步骤为:(1)数字核电压 1.8 V 供电。(2)通过 JTAG 配置相机内各个寄存器的值。(3)模拟电源与数字 3.3 V 上电。(4)接收外触发信号并产生相应控制和读出数据信号。设计中通过 FPGA 留出专门引脚控制其模拟电源部分不同电压上电时刻。CIS-2521 对模拟电压精度和电流大小需求同样较高,以模拟复位电压为例,需求精确控制到 2.739 V,该电压 10 mV 的差异将导致从 ADC 读出数据相差 300(DN),设计中采用数字可编程控制电压芯片 LT1660,配合具有高输出电流运放芯片 LMH6672 为模拟复位电压供电,在参考电压为 3.3 V 时,将模拟复位电压控制在最小 0.000 03 V 数字可调。

相机工作模式的设置主要在对 CIS-2521 内

部寄存器设置上,在相机数字上电后初始化过程中,通过 JTAG 接口可对相机内部 48 个 32 bit 寄存器进行相应的读写操作,CIS-2521 芯片内有相应符合 JTAG 标准状态机。可设置的内容包括相机的工作模式(卷帘曝光,全局曝光)的选择,触发模式(脉冲触发,电平触发),开窗大小,数据读出顺序,带宽配置和 ADC 工作模式设置等。通过 JTAG 接口设置相机寄存器的状态时序如下图所示,48 个寄存器由 6 bit 寻址表示,在选择对应寄存器后将 32 bit 信息写入。

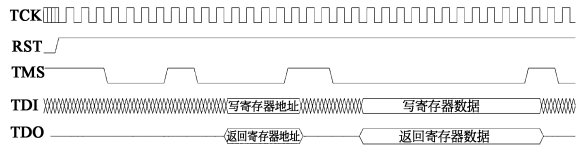


图 3 sCMOS 相机寄存器写时序

Fig. 3 Writing timing of sCMOS camera

sCMOS 控制模块正确配置偏置电压和工作模式将处于等待触发状态,卷帘快门工作模式下芯片可工作在 FREE_RUN 模式,直接输出的数据即为兼容 Camera link 接口信号,可通过简单处理直接输出至控制计算机采集。本文设计内容主要针对全局快门工作模式下的时序控制,CIS-2521 像素结构与触发控制时序如图 4 所示,TX2 为高电平时直接将光电二极管复位到参考电平,为低电平时光电二极管开始积累电荷,TX1 为高时电荷转移到电容 C_{fd} 被读出。而为了消除 C_{fd} 上受 M3 复位信号引入的复位噪声,在有效电荷转移到 C_{fd} 之前,应对 C_{fd} 上存在的噪声电荷进行读出。表现为在读出有效信号帧之前事先读出一帧仅包含噪声的复位帧。当 READ 信号翻转时,根据 DATA_DSEL 的值决定读出是复位帧还是数据帧。为了有效清空光电二极管残余电荷并且不影响复位帧信号读出,TX2 在读出信号空闲期

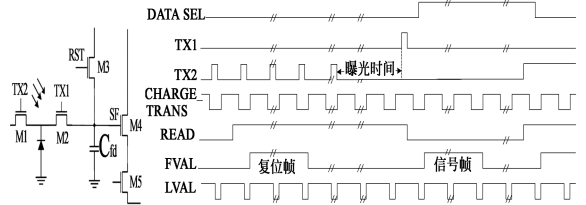


图 4 sCMOS 像素结构与触发控制时序

Fig. 4 Control timing and the pixel structure of sCMOS

间提供,即在 CHARGE_TRANS 低电平期间,以脉冲的形式复位光电二极管,TX2 最后一个脉冲的下降沿开始时光电二极管开始积分,TX1 脉冲上升沿到来时信号被转移到节电容等待读出。经过正确时序控制的 sCMOS 器件将输出帧有效 FVAL,行有效 LVAL 控制信号以及对应数据。

3.3 图像数据采集模块

图像数据采集模块用于将来自 sCMOS 的输出数据缓存转换成易于操作的数据模式,并根据所采集帧类型进行下一步的数据分配,数据采集模块数据流程图如图 5 所示。sCMOS 感器分为两个区域分别输出时钟频率为 287 MHz 的 22 bit 格雷码数据,峰值速率达到 1.54 GB/s,高速数据进入 FPGA 内后先经过码制转换模块将 ADC 输出格雷码数据转换成易于操作的二进制码数据,并将高位补 0~32 bit,通过 FPGA 内部高速 FIFO 进行行缓存,将 287 MHz 时钟下 32 bit 数据输出转换为 100 MHz 时钟下 256 bit 数据输出,sCMOS 两个区域进入 FIFO1,FIFO2 的写使能信号由各自区域输出的 LVAL 得到,由于硬件电路的差异两者可能有几个像素时钟延迟,为了同步处理两个区域数据,两个 FIFO 的读使能由片上控制模块产生,满足异步时钟读写控制转换。FIFO3 的目的是为缓存一行已做同步处理数据,通过判断当前帧是复位帧还是信号帧,将数据读出发送给高速缓存控制模块或者图像处理模块。

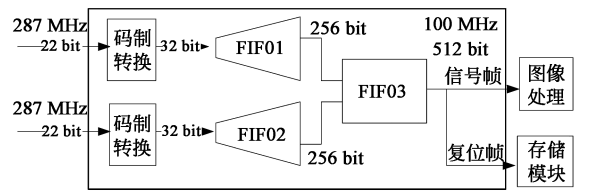


图 5 数据采集模块数据流程图

Fig. 5 Diagram of data stream for data capturing module

3.4 高速缓存控制模块

sCMOS 一帧图像数据量为 $2\,560 \times 2\,160 \times 22$ bit,约 14.5 MB,直接在 FPGA 内部缓存整帧处理将不能实现,设计中采用 4 片 DDR3 颗粒作为外部存储器,4 片 DDR3 颗粒容量达 1 GB,带宽最高可达 12.8 GB/s,本设计运行时钟为 600 MHz,实际带宽为 9.6 GB/s,可以满足对来自

sCMOS 的高速数据进行高速缓存。对 DDR3 底层操作采用 XILINX 提供的 IP 核控制,对 DDR3 的操作涉及多次读写,包括读写复位帧数据,读写处理后的数据帧数据,为保证读写效率,本文设计中以行为单位,每次操作将读或者写一行数据。高速缓存控制模块如图 6 所示,其中命令解释模块用于将多个读或写请求信号按照设定的优先级做并串转换,避免同时到来的请求冲突,按照串行命令选择对应需要存取的地址一同写入命令地址 FIFO,DDR3 IP 核将逐一读取 FIFO 中命令和地址交由 IP 核执行直到命令地址 FIFO 为空为止,同时根据相应命令将需要写入的数据从 WR_FIFO 读出或者将读出的数据写入 RD_FIFO,读写的时刻和同步信号由需要读写的模块提前产生,保证后续对数据处理时的及时供应。

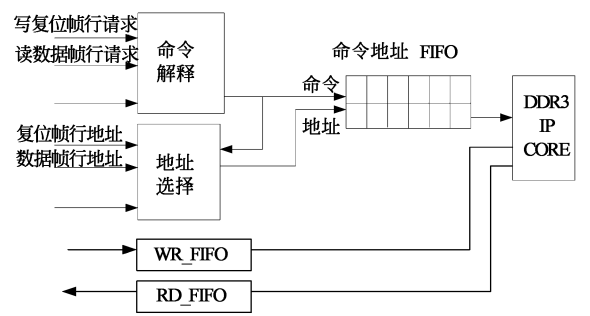


图 6 存储模块控制器结构

Fig. 6 Structure of controller for store module

3.5 图像处理模块

图像处理模块是整个系统驱动程序中的核心模块,主要完成以下 4 个功能:(1)数字域相关双采样。(2)高动态数据的合成。(3)图像的预处理。(4)图像输出处理。图像处理模块结构如图 7 所示,为了保证图像数据处理过程中可靠性,整个处理模块工作在 100 MHz 的时钟下,最终数据以 80 MHz,64 bit 格式经 Camera link 接口输出。

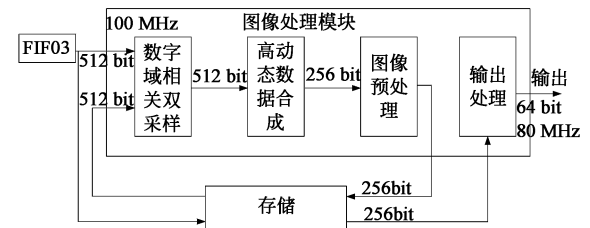


图 7 图像处理模块结构图

Fig. 7 Diagram of image processing module

数字域相关双采样模块产生读取 FIFO3 和高速缓存控制模块的请求,将 FIFO3 中实时到来的信号帧行数据与对应存储在 DDR3 中复位帧行数据读出处理,为了保证两行数据操作时的严格对齐,双采样模块提前信号帧行数据一行时间将复位帧整行读取缓存在高速缓存控制模块的 RD_FIFO 中,当信号帧有效行到来时,将 WR_FIFO 与 FIFO3 同步读出的 512 bit 数据进行处理。数字域相关双采样实际操作为两帧数据做减法, FPGA 内部实现时还应该考虑信号接近饱和和信号较小时,信号帧 I_{sig} 直接与复位帧 I_{rst} 相减会造成后续采集图像失真的情况,在本设计中采用分 3 段处理的方式合成数字双采样后数据帧 I_{data} 。

$$I_{\text{data}} = \begin{cases} I_{\text{sig}}, I_{\text{sig}} < I_{\text{rst}} \\ I_{\text{sig}} - I_{\text{rst}}, I_{\text{rst}} \leq I_{\text{sig}} \leq 2040 \\ I_{\text{sig}}, I_{\text{sig}} > 2040 \end{cases} \quad (1)$$

数字相关双采样结果如图 8 所示,从左往右依次为复位帧,信号帧,数据帧(为显示高动态范围图像文中图像均做线性拉伸变换)。由数据帧可发现信号帧中的列向噪声已经基本去除,图像质量有较大改善,该区域内图像性噪比提高 2.53 dB。

经过数字相关双采样模块处理后的 512 bit 数据由 16 个 32 bit 像素组成,其中 32 bit 数据中包含来自高低增益通道各 11 bit 有效数据,高增益通道输出的数据具有更高的数据精度,低增益

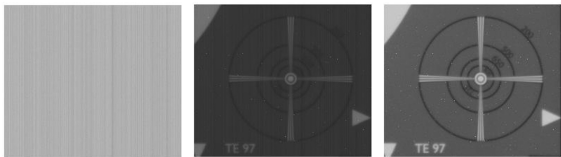


图 8 数字域相关双采样结果

Fig. 8 Results of correlated double sampling in digital domain

通道的输出的数据可表示更大的动态范围。系统通过串口控制设置了 3 种读出模式,模式一是原始高低通道数据选择输出,不做任何处理。模式二采用相机手册中建议的方式设定阈值,在高增益通道数据 I_{H} 小于某个值 I_{T} 时,选择高增益通道数据 I_{H} 输出,而在大于 I_{T} 时选择低增益通道数据 I_{L} 输出。模式三设计了一种曲线拟合双通道数据,将高低增益通道数据合成为 16 bit 数据输出。模式一输出的优点在于便于后续对原始数据的研究处理,模式二具有简单高效,可直观观察到高动态范围数据,但是由于采用阈值的方式,在阈值周围的灰度值会出现跳跃的现象^[5]。模式三的输出减小了灰度跳跃的影响,输出图像可视性较强,考虑到易于 FPGA 内部实现,模式三的合成曲线规则设计为 3 段的形式,由公式(2)表述, $[I_{\text{a}}, I_{\text{b}}]$ 为数据衔接区间,其中 k 为高低通道增益之比,用于将高低增益通道数据量纲统一,考虑到由于各放大器差异 k 并非常数,实际操作中取均值计算,当选择高通道增益为 10 倍。低通道增益为 1 倍时,实测 k 均值约为 9.54。输出合成 16 bit 数据 I_{HDR} 中实际有效数据位宽为 14 bit。

$$I_{\text{HDR}} = \begin{cases} I_{\text{H}}, I_{\text{H}} < I_{\text{a}} \\ \frac{(I_{\text{b}} - I_{\text{H}})}{I_{\text{b}} - I_{\text{a}}} I_{\text{H}} + k \frac{(I_{\text{H}} - I_{\text{a}})}{I_{\text{b}} - I_{\text{a}}} I_{\text{L}}, I_{\text{a}} \leq I_{\text{H}} \leq I_{\text{b}} \\ k I_{\text{L}}, I_{\text{H}} > I_{\text{b}} \end{cases} \quad (2)$$

经模式三中方法合成的图像如图 9 所示。

由图 9 可见原始的双通道输出图像存在过暗或者过亮区域,经过合成高动态范围图像数据,图像整体可视性有较大提高,11 阶渐变条纹能够清晰展示出来。

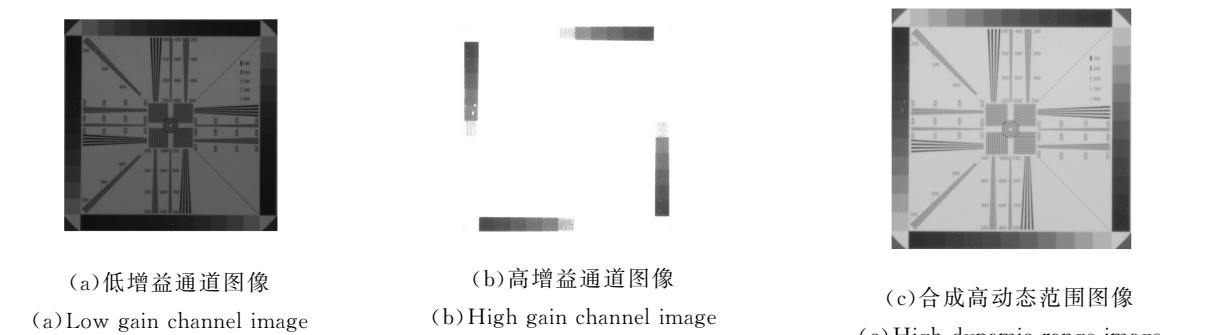


图 9 高动态范围图像数据合成结果

Fig. 9 Combining result of high dynamic range images

通过观察采集的图像,经过数字域相关双采样处理和双增益合成的图像还存在较多随机分布的亮点或者暗点,以及少数坏点。图像预处理模块提供一些常用的滤波处理规则用于对图像数据进行处理,可通过通信控制模块设置选择中值滤波,均值滤波,或不做处理直接输出的功能。经过观察采集图像中包含大都为椒盐噪声类型,通过简单的一维 1×3 的中值滤波就能达到很好的输出效果。经过图像预处理的数据流再次存入高速缓存区域供后续整帧读出。

图像输出处理模块主要功能是在高速缓存区域的整帧数据逐行读出,转换成所需的输出图像数据格式输出供控制计算机采集或者显示用。本设计中将依据通信控制命令可裁剪输出图像大小,在 80 MHz 像素时钟下以标准 Camera_link Full 模式信号输出至控制计算机。

4 成像结果

设计的相机系统如图 10 所示,系统上电从配置芯片加载程序后,通过控制计算机端编写的相机系统操作软件如图 11 所示,通过控制软件发送控制指令,接收通过 Camera link 接口获取图像数

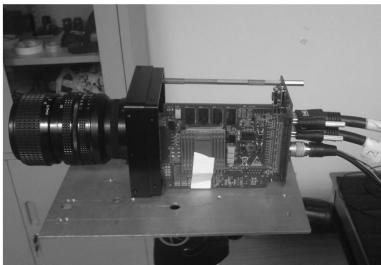


图 10 sCMOS 相机实物图
Fig. 10 sCMOS camera

据进行显示,系统在全画幅模式($2\,560\times 2\,160$)下对实际场景进行了实时拍摄,帧频为 50 fps,输出像素深度 16 bit,通过操作界面可选择不同增益通道信号帧,数据帧或者复位帧输出,控制高动态数据融合规则和图像添加滤波效果。采集的测试图像清晰,灰度层次分明,分辨率高,相机系统具有较高动态范围。

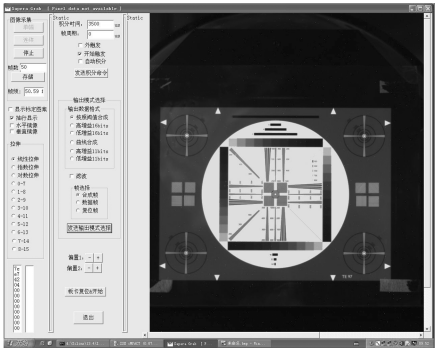


图 11 sCMOS 相机系统成像结果
Fig. 11 Imaging result of sCMOS camera

5 结 论

在分析了 CIS-2521 图像传感器的像素结构特点的基础上,依照信号完整性和电磁兼容的要求,采用高性能 FPGA 和高速 DDR3 图像缓存器件,设计实现了适合 sCMOS 在全局曝光模式下的高动态 sCMOS 成像硬件系统,通过分析 sCMOS 时序设计了高帧频全局电子快门成像驱动控制程序,经过实际成像测试表明所设计的高动态相机系统工作稳定,可操作性强,输出 50 帧/s, $2\,560\times 2\,160$ 位宽 16 bit 图像数据,有效数据深度为 14 bit,基本满足全局曝光模式下高清高速高动态范围的 CMOS 相机需求,为下一步系统成像性能测试和性能改善奠定了硬件基础。

参 考 文 献:

[1] 刘新明,刘文,刘朝晖. 大面阵 CMOS APS 相机系统的设计 [J]. 光子学报, 2009, 38(12): 3235-3239.
Liu X M, Liu W, Liu Z H. Design of a large area arrqy CMOS APS camera system [J]. *Acta Photonica Sinica*, 2009, 38(12): 3235-3239. (in Chinese)

[2] 罗通顶,李斌康,郭明安,等. 科学级 CCD 远程图像采集系统 [J]. 光学精密工程, 2013, 21(2): 496-502.
Luo T D, Li B K, Guo M A, *et al.* Remote image acquisition system with scientific grade CCD [J]. *Opt. Precision Eng.*, 2013, 21(2): 496-502. (in Chinese)

[3] 张超,李洪文,贾建禄,等. 高帧频多通道图像采集与显示 [J]. 液晶与显示, 2013, 28(4): 593-597.
Zhang C, Li H W, Jia J L, *et al.* High frame rate and multiple channels digital image acquisition and display [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(4): 593-597. (in Chinese)

- [4] 杨东来,胡晓东,李俊娜. 基于 CMOS 图像传感器的多斜率积分模式 [J]. 红外与激光工程,2012,41(6):1499-1502.
Yang D L, Hu X D, Li J N, *et al.* Multiple slope integration based on CMOS image sensor [J]. *Infrared and Laser Engineering*, 2012, 41(6):1499-1502. (in Chinese)
- [5] Sungho S, Shinya I, Satoshi A, *et al.* Column-parallel correlated multiple sampling circuits for CMOS image sensors and their noise reduction effects [J]. *Sensors*, 2010, 10(12):9139-9154.
- [6] 李晓晨,姚素英,黄碧珍,等. 一种应用于高动态范围 CMOS 图像传感器的曝光控制技术 [J]. 传感技术学报,2013, 26(3):328-332.
Li X C, Yao S Y, Huang B Z, *et al.* A novel high dynamic range exposure control for CMOS image sensor [J]. *Chinese Journal of Sensors and Actuators*. 2013, 26(3):328-332. (in Chinese)
- [7] 韩红霞,孙航,曹立华. 基于 FPGA 的红外相机时序构造设计 [J]. 液晶与显示,2014,29(3):370-376.
Han H X, Sun H, Cao L H. IR camera sequence construction design based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(3):370-376. (in Chinese)
- [8] 孙宏海,李泽学,纪华,等. 半导体制冷型高帧频 CMOS 数字摄像机及其成像噪声分析 [J]. 光学精密工程,2008,16 (10):2038-2044.
Sun H H, Li Z X, Ji H, *et al.* High frame rate CMOS digital camera by semiconductor refrigeration and its imaging noise analysis [J]. *Opt. Precision Eng.*, 2008, 16(10):2038-2044. (in Chinese)

作者简介:何舒文(1988—),男,湖南郴州人,博士生,主要从事图像处理、高速相机设计等方面的研究。E-mail: 250071113@qq.com